

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-295224

(43)Date of publication of application : 06.12.1990

(51)Int.Cl.

H03L 7/10

(21)Application number : 01-114966

(71)Applicant : NIPPON HOSO KYOKAI <NHK>

(22)Date of filing : 10.05.1989

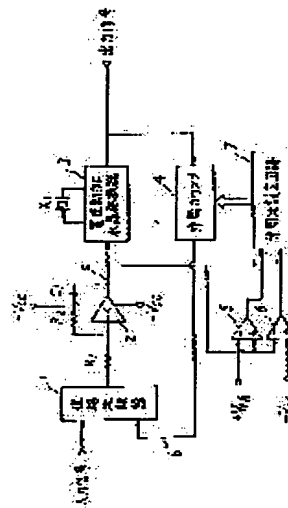
(72)Inventor : KURITA TAICHIROU
TANAKA YUTAKA
NISHIZAWA DAIJI

(54) PHASE LOCKED LOOP CIRCUIT

(57)Abstract:

PURPOSE: To shorten the of the time acquisition of synchronism by switching the frequency dividing ratio of a frequency dividing counter to the value different from that obtained a phase locked loop is stabilized when this loop kept in the process of the acquisition of synchronism.

CONSTITUTION: A phase locked loop circuit constituted of a phase comparator 1, an inverting amplifier 2, a voltage control crystal oscillator 3, a frequency dividing counter 4, the voltage comparators 5 and 6, and a dividing ratio setting circuit 7. The frequency dividing ratio of the counter 4 is switched to the value different from that obtained when a phase locked loop constituted of the comparator 1, the oscillator 3, and the counter 4 is stabilized in the case of the acquisition of synchronism. Thus it is possible to shorten the time of the acquisition of synchronism with a low phase comparison frequency by using the oscillator 3 having an oscillation frequency range where the satisfactory jitter characteristic is secured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-295224

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)12月6日

H 03 L 7/10

8731-5 J H 03 L 7/10

A

審査請求 未請求 請求項の数 2 (全4頁)

⑬ 発明の名称 位相同期回路

⑰ 特 願 平1-114966

⑱ 出 願 平1(1989)5月10日

⑲ 発 明 者 栗 田 泰 市 郎 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内

⑳ 発 明 者 田 中 豊 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内

㉑ 発 明 者 西 澤 台 次 東京都世田谷区砧1丁目10番11号 日本放送協会放送技術研究所内

㉒ 出 願 人 日 本 放 送 協 会 東京都渋谷区神南2丁目2番1号

㉓ 代 理 人 弁 理 士 杉 村 暁 秀 外5名

明 細 書

1. 発明の名称 位相同期回路

2. 特許請求の範囲

1. 位相比較器と電圧制御発振器および分周カウンタを有する位相同期ループにおいて、当該ループが、同期引き込み過程にあるときに、前記分周カウンタの分周比を前記ループが安定状態にあるときの値とは異なる値に切り換える手段を具備することを特徴とする位相同期回路。

2. 積分器をさらに有する請求項1記載の位相同期ループにおいて、前記積分器の出力電圧または前記電圧制御発振器の入力電圧が所定範囲の値より高いときには、前記分周カウンタの分周比を前記ループが安定状態にあるときの中心値とは異なる第1の値に切り換える手段と、前記所定範囲の値より低いときには、前記分周比を前記中心値とも前記第1の値とも異なる第2の値に切り換える手段とを具備することを特徴とする位相同期回路。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は位相同期ループに係り、特に安定状態で位相ジッタが少なくかつ高速な同期引き込み時間を必要とされる位相同期回路に関するものである。

(発明の概要)

この発明は位相同期ループに関するもので、

当該ループが、同期引き込み過程にあるときに、その分周カウンタの分周比をループが安定状態にあるときの値とは異なる値に切り換える手段を具備している。

かくして位相同期ループの同期引き込み時間を大幅に短縮するようにしている。

(従来の技術)

通常の位相同期ループ(PLL)は同期引き込み時間と、引き込み後の安定状態のジッタ特性とに両立性の限界があり、これを解決する1つの手段として、同期引き込み過程と安定状態とでループフィルタの時定数を切り換える2モードPLLなどが

特開平2-295224(2)

あった

(発明が解決しようとする課題)

しかし、通常のPLLや従来の2モードPLLなどでは、前述の両立性を飛躍的に向上させた、引き込み後のジッタ特性のよい引き込み時間の高速な位相同期回路を提供することは困難であり、その1つの原因にはPLL用の電圧制御発振器(VCO)の発振周波数の範囲に制限があるためである。

位相同期ループの同期引き込み過程では、入力信号の初期位相と回路の初期状態によっては、最悪の場合1サイクルずれてから始めて同期引き込みにはいる場合があり、この時1サイクルずれるのに要する時間は、入力信号の周波数を f_0 、VCOの発振周波数範囲を $f_1(1 \pm \Delta)$ 、分周カウンタの分周比を N として $f_1 = Nf_0$ 。とすると $1/\Delta f_0$ となる。例えば $f_0 = 60\text{Hz}$ 、 $\Delta = 3 \times 10^{-3}$ の場合には1サイクルずれる時間は約555秒となり実用に耐えない値となる。

例えば具体的な適用例としては、カラーテレビジョンのNTSC伝送方式と両立性を有するAD(Advanced

Definition)TV信号の受信機で、PCM音声を再生するために59.94Hzの垂直同期信号からPCM音声用のクロック信号を再生する必要があるが、このクロック再生のためには高速なPLLが要求される。

そこで本発明の目的は、上述の要求に答えるべく同期引き込み時間の高速な、しかも引き込み後のジッタ特性も良好な比較的簡単な構成の位相同期回路を提供せんとするものである。

(課題を解決するための手段)

この目的を達成するため本発明位相同期回路は、位相比較器と電圧制御発振器および分周カウンタを有する位相同期ループにおいて、当該ループが、同期引き込み過程にあるときに、前記分周カウンタの分周比を前記ループが安定状態にあるときの値とは異なる値に切り換える手段を具備することとを特徴とするものである。

(実施例)

以下添付図面を参照し実施例により本発明を詳細に説明する。

第1図に本発明位相同期回路の実施例構成プロ

ック線図を示す。

入力信号は周波数59.94Hzのパルス信号であるとし、位相比較器1は入力信号と信号bの立ち下がり进行比较し、入力信号に対する信号bの位相差に比例した電圧を出力する。このとき信号bが入力信号に比べ遅れ位相であれば負の電圧を、進みであれば正の電圧を出力するものとする。

-Kの利得を持つ反転増幅器2は抵抗 R_1 、 R_2 、コンデンサ C_1 と合わせて完全積分型のループフィルタを形成し、位相比較器1の出力信号を積分した信号(信号a)を出力する。反転増幅器2の電源電圧は電圧 $+V_{cc}$ および電圧 $-V_{cc}$ であり、従って信号aの電圧は電圧 $+V_{cc}$ ～電圧 $-V_{cc}$ の範囲で変動する。

電圧制御水晶発振器(VCX0)3は水晶 X_1 を使用し、信号aの電圧に従って $f_1(1 \pm \Delta)$ の範囲の周波数を発振する。この実施例では $f_1 = 4.8\text{MHz}$ としている。VCX03の出力がこの位相同期ループの出力信号となる。VCX03の入力電圧対発振周波数の特性例を第3図に示す。VCX0の出力周波数は入力電

圧(信号aの電圧)が電圧 $+V_{i.m}$ ～電圧 $-V_{i.m}$ の範囲内にあるときのみ入力電圧に比例して変化し、範囲外では飽和して $f_1(1 \pm \Delta)$ となる。従って前述の反転増幅器2の電源電圧は電圧 $+V_{i.m}$ ～電圧 $-V_{i.m}$ の範囲外に設定しても無意味であり、この実施例では $+V_{i.m} = +V_{cc}$ 、 $-V_{i.m} = -V_{cc}$ とする。また周波数変動範囲 Δ は、安定な水晶発振器では通常 3×10^{-3} 程度以下であり、ここでも $\Delta = 3 \times 10^{-3}$ とする。

VCX03の出力信号は分周カウンタ4で分周されて位相比較器の入力信号bとなる。このとき安定状態では分周比 $N = \frac{4.8 \times 10^6}{59.94} = 1001 \times 80$ であ

ることが要求される。

一方、積分器の出力信号である信号aは電圧比較器5、6にも入力されて各々の電圧比較器で電圧 $+V_{a.h}$ 、電圧 $-V_{a.h}$ と比較される。比較器5の出力は信号aの電圧が電圧 $+V_{a.h}$ より大きければ“H”であり、小さければ“L”である。比較器6の出力は信号aの電圧が電圧 $-V_{a.h}$ より小さければ

"H"であり大きければ"L"である。電圧 $+V_{th}$ 、 $-V_{th}$ は各々電圧 $+V_{cc}$ 、 $-V_{cc}$ より若干絶対値の小さい電圧である。

分周比設定回路7は"+"、"-"の2つの入力信号を持ち、"+"入力が"H"のときは分周カウンタ4の分周比をN+に、"-"入力が"H"のときは分周比をN-に、両入力とも"L"ならば分周比をNに設定する機能を有するものとする。ここでNは前述の通り

$$N = 1001 \times 80$$

であり、また $N+ = 1001 \times 79$

$$N- = 1001 \times 81$$

であるとする。従って回路5、6、7により分周カウンタ4の分周比は信号の電圧が電圧 $+V_{th}$ 以上のときはN+、電圧 $-V_{th}$ 以下のときはN-、電圧 $+V_{th}$ ～電圧 $-V_{th}$ の範囲内ではNに設定される。

次に第2図に第1図の回路の動作例を示す。第2図上段の図は入力信号に対する信号bの位相差 θ_1 の時間に対する変化であり、下段の図は上段

の図と同じ時間スケールで表わした信号aの電圧 V_a の変化である。図において $t=0$ における θ_1 （初期位相差）は -2π 、 $t=0$ における V_a （積分電圧の初期値）は $+V_{cc}$ であるとする。これは最悪の初期状態の1つを示している。

従来のループの動作例を第2図の点線で示す。この場合、 $t=0 \sim t=T_2$ の期間は位相差が -2π から0まで変化する時間、即ち1サイクルスリップ時間である。この間位相比較器1は負の電圧を出力し続けるので積分器の出力電圧は飽和したままであり、電圧 V_a は電圧 $+V_{cc}$ に保たれる。 $t=T_2$ ではじめて位相比較器1の出力電圧が正に転じるのではじめて電圧 V_a が下降し始める。この後位相差 θ_1 、電圧 V_a ともに減衰振動しながら安定状態に収束する。ここで減衰振動する時間はよく知られているようにループフィルタの定数 R_1 、 R_2 、 C_1 やVCXO、位相比較器の特性、分周比などで総合的に決定される。しかし、サイクルスリップの時間 T_2 は入力信号の周波数 f_0 と Δ で決定されてしまう。すなわち、 $T_2 = 1/\Delta f_0$ であり、この実施例の

ように $f_0 = 59.94\text{Hz}$ 、 $\Delta = 3 \times 10^{-5}$ であると $T_2 =$ 約555秒となる。従ってこの場合、同期引き込みになくとも555秒要することになり、これは実用に耐えない値である。

一方、第2図示実線で示される第1図示の回路の動作例では $t=0$ から、電圧 $V_a =$ 電圧 $+V_{th}$ となる $t=T_2$ までは前述のように分周カウンタ4の分周比が $N+ = 1001 \times 79$ に設定されるために、等価的に第3図示 Δ が $\Delta \approx 1/79$ になったのと同じスピードでサイクルスリップを起すことになる。従って、この実施例でのサイクルスリップ時間 T_2 は $T_2 = 79/59.94 \approx 1.3$ 秒となる。これは前述の従来例のループの場合の $T_2 = 555$ 秒に比べ格段に短い時間となっている。従来のループでは同期引き込み時間のうち T_2 の占める割合がほとんどであったので、この時間を大幅に短縮できる本実施例の回路では同期引き込み時間も大幅に短縮できることが明らかである。

以上実施例により本発明を詳細に説明してきたが、本発明はこれに限定されるものではなく、そ

の特許請求の範囲に記載された範囲内で変形、修正のなされ得ることは当業者に自明であろう。

（発明の効果）

以上詳細に説明してきたように、本発明位相同期回路によれば、ジッタ特性の良好な発振周波数範囲の狭い電圧制御水晶発振器などを使用し、位相比較の周波数が低い場合その同期引き込み時間が従来かなり大きかったのを大幅に短縮することができた。

4. 図面の簡単な説明

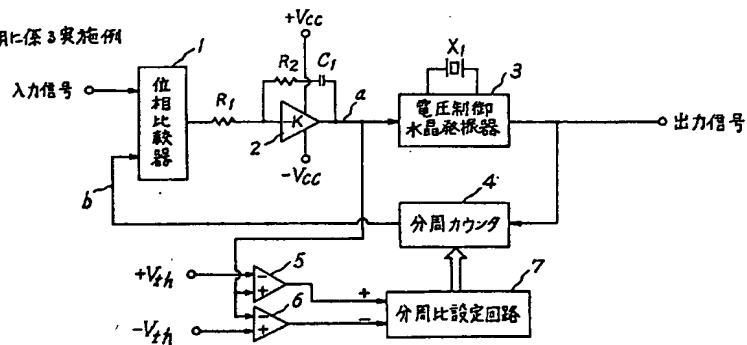
第1図は、本発明に係る実施例の構成ブロック線図を示し、

第2図は、第1図示回路と従来例回路の動作例を示し、

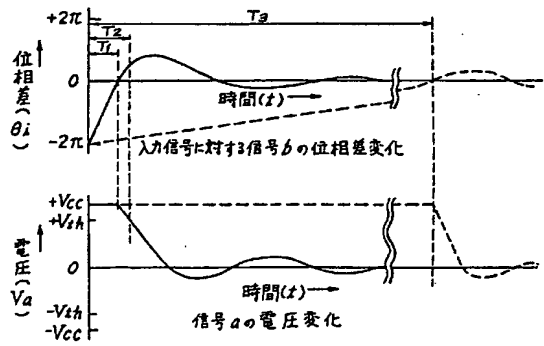
第3図は、電圧制御発振器の特性例を示す。

- 1 … 位相比較器
- 2 … 反転増幅器
- 3 … 電圧制御水晶発振器
- 4 … 分周カウンタ
- 5、6 … 電圧比較器
- 7 … 分周比設定回路

第1図 本発明に係る実施例



第2図 第1図示回路の動作例



第3図 電圧制御発振器の特性例

